

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-294522

(P2000-294522A)

(43) 公開日 平成12年10月20日 (2000. 10. 20)

(51) Int.Cl.⁷

識別記号

F I

テームト* (参考)

H 0 1 L 21/301

H 0 1 L 21/78

Q

21/304

6 3 1

21/304

6 3 1

21/306

21/306

C

21/78

F

審査請求 未請求 請求項の数17 O L (全 21 頁)

(21) 出願番号 特願2000-13231(P2000-13231)

(22) 出願日 平成12年1月21日 (2000. 1. 21)

(31) 優先権主張番号 特願平11-25644

(32) 優先日 平成11年2月3日 (1999. 2. 3)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中吉 英夫

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 田久 真也

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

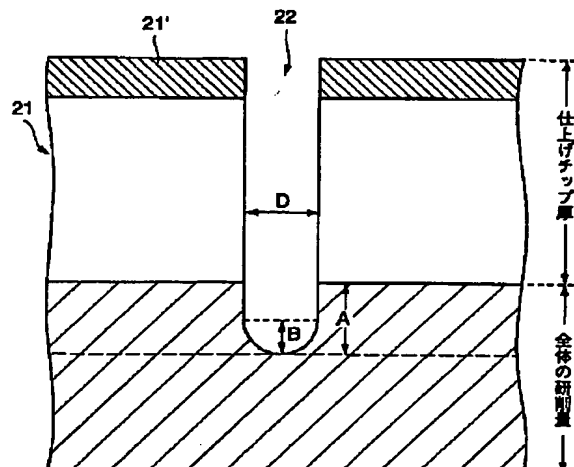
最終頁に続く

(54) 【発明の名称】 ウェーハの分割方法及び半導体装置の製造方法

(57) 【要約】

【課題】 ウェーハの分割時におけるチップングを防止することを目的とする。

【解決手段】 半導体素子が形成されたウェーハ21のダイシングライン、またはチップ分割ラインに沿って、半導体素子の形成面21'側から完成時のチップの厚さよりも深く、且つ底部に曲面を有する溝22を形成する。そして、上記ウェーハにおける半導体素子の形成面上に保持用のシート26を貼り付けた後、ウェーハの裏面を研削及び研磨して個々のチップ29に分離し、研削及び研磨によってウェーハが個々のチップに分割された後も研削及び研磨を続け、完成時のチップの厚さにする。この際、上記ウェーハの研削及び研磨面が上記溝の底部に達してから、完成時のチップ厚になるまでの研削及び研磨量Aと、上記溝の底部における曲面を有する領域の深さBとの比A/Bが、0.3以上であることを特徴とする。



【特許請求の範囲】

【請求項 1】 半導体素子が形成されたウェーハのダイシングラインに沿って、先端部に曲面を有するダイシング用ブレードを用いて、前記半導体素子の形成面側から完成時のチップの厚さよりも深く、且つ底部に曲面を有する溝を形成する工程と、
前記ウェーハにおける前記半導体素子の形成面上に保持部材を貼り付ける工程と、
前記ウェーハの裏面を研削及び研磨して、ウェーハを個々のチップに分離し、研削及び研磨によってウェーハが個々のチップに分割された後も研削及び研磨を続け、前記完成時のチップの厚さにする工程とを具備し、
前記ウェーハの研削及び研磨面が前記溝の底部に達してから、完成時のチップ厚になるまでの研削及び研磨量と、前記溝の底部における曲面を有する領域の深さとの比が 0.3 以上であることを特徴とするウェーハの分割方法。

【請求項 2】 半導体素子が形成されたウェーハのチップ分割ラインに沿ってエッチングすることにより、前記半導体素子の形成面側から完成時のチップの厚さよりも深い溝を形成する工程と、
前記ウェーハにおける前記半導体素子の形成面上に保持部材を貼り付ける工程と、
前記ウェーハの裏面を研削及び研磨して、ウェーハを個々のチップに分離する工程とを具備し、
研削及び研磨によってウェーハが個々のチップに分割された後も研削及び研磨を続け、前記完成時のチップの厚さにすることを特徴とするウェーハの分割方法。

【請求項 3】 半導体素子が形成されたウェーハのチップ分割ラインに沿ってエッチングすることにより、前記半導体素子の形成面側から完成時のチップの厚さよりも深く、且つ底部に曲面を有する溝を形成する工程と、
前記ウェーハにおける前記半導体素子の形成面上に保持部材を貼り付ける工程と、
前記ウェーハの裏面を研削及び研磨して、ウェーハを個々のチップに分離し、研削及び研磨によってウェーハが個々のチップに分割された後も研削及び研磨を続け、前記完成時のチップの厚さにする工程とを具備し、
前記ウェーハの研削及び研磨面が前記溝の底部に達してから、完成時のチップ厚になるまでの研削及び研磨量と、前記溝の底部における曲面を有する領域の深さとの比が 0.3 以上であることを特徴とするウェーハの分割方法。

【請求項 4】 前記溝の深さは、前記完成時のチップの厚さよりも少なくとも $5\ \mu\text{m}$ 深いことを特徴とする請求項 1 乃至 3 いずれか 1 つの項に記載のウェーハの分割方法。

【請求項 5】 前記溝の深さは、前記完成時のチップの厚さよりも $5\ \mu\text{m}$ 乃至 $60\ \mu\text{m}$ 深いことを特徴とする請求項 1 乃至 3 いずれか 1 つの項に記載のウェーハの分割

方法。

【請求項 6】 前記保持部材は、粘着材付きテープ、ワックス、吸着パッド、熱圧着シート、粘着材を塗布した基板、及び前記半導体素子上に塗布したレジストの中から選択された少なくともいずれか 1 つの材料であることを特徴とする請求項 1 乃至 5 いずれか 1 つの項に記載のウェーハの分割方法。

【請求項 7】 前記ウェーハの裏面を研削及び研磨して、前記完成時のチップの厚さにする工程は、第 1 の砥粒径の研削砥石により前記ウェーハの裏面を前記完成時のチップより厚く研削及び研磨する第 1 の工程と、前記第 1 の工程で研削及び研磨した前記ウェーハの裏面を、前記第 1 の砥粒径よりも小さな第 2 の砥粒径の切削砥石を用いて前記完成時のチップの厚さまで研削及び研磨する第 2 の工程とを含むことを特徴とする請求項 1 乃至 6 いずれか 1 つの項に記載のウェーハの分割方法。

【請求項 8】 主要な前記第 1 の砥粒径は $40\sim 60\ \mu\text{m}$ であり、主要な前記第 2 の砥粒径は $4\sim 6\ \mu\text{m}$ であることを特徴とする請求項 7 に記載のウェーハの分割方法。

【請求項 9】 ウェーハの主表面に半導体素子を形成する工程と、

前記ウェーハのダイシングラインに沿って、先端部に曲面を有するダイシング用ブレードを用いて、前記ウェーハの主表面側から完成時のチップの厚さよりも深く、且つ底部に曲面を有する溝を形成する工程と、

前記ウェーハの主表面上に粘着性のシートを貼り付ける工程と、

前記ウェーハの裏面を研削及び研磨して、ウェーハを個々のチップに分離し、研削及び研磨によってウェーハが個々のチップに分割された後も研削及び研磨を続け、前記完成時のチップの厚さにする工程と、

前記分離した各チップを前記粘着性のシートから剥離して外囲器に封止する工程とを具備し、

前記ウェーハの研削及び研磨面が前記溝の底部に達してから、完成時のチップ厚になるまでの研削及び研磨量と、前記溝の底部における曲面を有する領域の深さとの比が 0.3 以上であることを特徴とする半導体装置の製造方法。

【請求項 10】 ウェーハの主表面に半導体素子を形成する工程と、

前記ウェーハのチップ分割ラインに沿ってエッチングすることにより、前記ウェーハの主表面側から完成時のチップの厚さよりも深い溝を形成する工程と、

前記ウェーハの主表面上に粘着性のシートを貼り付ける工程と、

前記ウェーハの裏面を研削及び研磨して、ウェーハを個々のチップに分離する工程と、

前記分離した各チップを前記粘着性のシートから剥離して外囲器に封止する工程とを具備し、

研削及び研磨によってウェーハが個々のチップに分割された後も研削及び研磨を続け、前記完成時のチップの厚さにすることを特徴とする半導体装置の製造方法。

【請求項 11】 ウェーハの主表面に半導体素子を形成する工程と、

前記ウェーハのチップ分割ラインに沿ってエッチングすることにより、前記ウェーハの主表面側から完成時のチップの厚さよりも深く、且つ底部に曲面を有する溝を形成する工程と、

前記ウェーハの主表面上に粘着性のシートを貼り付ける工程と、

前記ウェーハの裏面を研削及び研磨して、ウェーハを個々のチップに分離し、研削及び研磨によってウェーハが個々のチップに分割された後も研削及び研磨を続け、前記完成時のチップの厚さにする工程と、

前記分離した各チップを前記粘着性のシートから剥離して外囲器に封止する工程とを具備し、

前記ウェーハの研削及び研磨面が前記溝の底部に達してから、完成時のチップ厚になるまでの研削及び研磨量と、前記溝の底部における曲面を有する領域の深さとの比が 0.3 以上であることを特徴とする半導体装置の製造方法。

【請求項 12】 前記溝の深さは、前記完成時のチップの厚さよりも少なくとも 5 μm 深いことを特徴とする請求項 9 乃至 11 いずれか 1 つの項に記載の半導体装置の製造方法。

【請求項 13】 前記溝の深さは、前記完成時のチップの厚さよりも 5 μm 乃至 60 μm 深いことを特徴とする請求項 9 乃至 11 いずれか 1 つの項に記載の半導体装置の製造方法。

【請求項 14】 前記分離した各チップを前記粘着性のシートから剥離して外囲器に封止する工程は、前記粘着性のシートから剥離したチップをリードフレームのアイランドにマウントする工程と、前記リードフレームのインナーリード部と前記チップの各パッドとをワイヤボンディングする工程と、前記チップ、前記アイランド及び前記インナーリード部を外囲器に封止する工程とを備えることを特徴とする請求項 9 乃至 13 いずれか 1 つの項に記載の半導体装置の製造方法。

【請求項 15】 前記分離した各チップを前記粘着性のシートから剥離して外囲器に封止する工程は、前記粘着性のシートから剥離したチップの主表面上にリードの一端を接着する工程と、前記リードと前記チップの各パッドとをワイヤボンディングする工程と、前記チップ、前記リードの一端を外囲器に封止する工程とを備えることを特徴とする請求項 9 乃至 13 いずれか 1 つの項に記載の半導体装置の製造方法。

【請求項 16】 前記ウェーハの裏面を研削及び研磨して、前記完成時のチップの厚さにする工程は、第 1 の砥粒径の研削砥石により前記ウェーハの裏面を前記完成時

のチップより厚く研削及び研磨する第 1 の工程と、前記第 1 の工程で研削及び研磨した前記ウェーハの裏面を、前記第 1 の砥粒径よりも小さな第 2 の砥粒径の切削砥石を用いて前記完成時のチップの厚さまで研削及び研磨する第 2 の工程とを含むことを特徴とする請求項 9 乃至 15 いずれか 1 つの項に記載の半導体装置の製造方法。

【請求項 17】 主要な前記第 1 の砥粒径は 40 ~ 60 μm であり、主要な前記第 2 の砥粒径は 4 ~ 6 μm であることを特徴とする請求項 16 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明はウェーハの分割方法及び半導体装置の製造方法に関し、更に詳しくは、ウェーハ上に形成された半導体素子を個々のチップに切断分離し、外囲器に封止する工程に関し、外囲器の小型薄厚化やウェーハの大口径化時に好適なものである。

【0002】

【従来の技術】 半導体装置の製造工程は、ウェーハ（半導体基板）上に種々の半導体素子のパターンを形成する工程と、ウェーハ上に形成された半導体素子を個々のチップに切断分離し、外囲器に封止する工程とに大別できる。近年、製造コストの低減を図るためにウェーハの大口径化が推進されるとともに、実装密度を高めるために外囲器の小型薄厚化が望まれている。従来は、薄厚化した外囲器に封止するために、ウェーハを個々のチップに切断分離するのに先立って、ウェーハのパターン形成面（主表面）の反対側の面（ウェーハの裏面）を砥石による研削及び遊離砥粒による研磨等により除去して薄く

し、その後ダイシングして切断分離している。研削時には、ウェーハのパターン形成面に粘着性のシートを貼り付けたり、レジスト等を塗布することによって保護している。この後、上記ウェーハの主表面に形成された切断分離（ダイシング）ライン領域に溝を形成する。この溝を形成する際には、ダイヤモンドスクライバー、ダイヤモンドブレード、あるいはレーザースクライバー等を用いている。上記ダイシング工程には、ウェーハ単体でこのウェーハの厚さの 1/2 までダイシングまたはウェーハが 30 μm 程度残る状態までダイシングを行うハーフカット法、ウェーハの裏面に粘着性のシートを貼り付けて同様にダイシングするハーフカット法、粘着性のシートを 20 ~ 30 μm 程度まで切り込み、ウェーハ厚全てを切断するフルカット法等が用いられる。上記ハーフカット法は、分割作業が必要とされ、ウェーハ単体の場合にはウェーハを柔軟性のあるフィルム等に挟み、ローラー等で外力を加えて割って分割する。シートに貼り付けた場合には、テープ越しにローラーその他で外力を加え分割する。分割されたチップは、ダイボンディング装置に設けられているピックアップニードルによってシート裏面を突き上げ、このシートを貫通してチップ裏面にニ

ードル（針）を直接接触させ、更に持ち上げてチップをシートから引き離す。引き離されたチップは、コレットと呼ばれるツールでチップ表面を吸着し、リードフレームのアイランドにマウントした後、ワイヤボンディングを行ってチップの各パッドとリードフレームのインナーリード部とを電氣的に接続し、外囲器に封止している。上記チップのアイランドへのマウント方法としては、アイランドへ導電性ペーストを予め塗布しておく方法、金-シリコンの共晶を利用してマウントする方法、及びウェーハの裏面に金属の薄膜を蒸着し、半田を用いてマ

ントする方法等がある。
【0003】図22乃至図28はそれぞれ、上述したような従来のウェーハの分割方法及び半導体装置の製造方法の詳細な例について説明するためのもので、図22はウェーハに表面保護テープを貼り付ける工程、図23はウェーハの裏面の研削及び研磨工程、図24は表面保護テープを剥がす工程、図25（a）、（b）はウェーハを固定用シートに固着する工程、図26はウェーハのダイシング工程、図27は分離したチップをピックアップする工程、及び図28はダイボンディング工程をそれぞれ示している。

【0004】まず、図22に示すように、ウェーハ1の裏面をチャックテーブル2上に固定し、貼り付けローラー4を回転させながら図示矢印方向に移動させて、保護テープ3をウェーハ1のパターン形成面（ウェーハ1の主表面）1' に貼り付ける。このウェーハ1中には、パターン形成面1' 側に各種の半導体素子が形成されている。次に、図23に示すように、上記保護テープ3を貼り付けたパターン形成面1' を下にしてチャックテーブル5に固定し、ウェーハ1の裏面を研削用砥石6で所定の厚さ（完成時の最終的なチップ厚）まで研削及び研磨する。その後、図24に示すように、保護テープ3に保護テープを剥がすためのテープ7を貼り付け、パターン形成面1' から保護テープ3を剥離する。次に、図25（a）に示すようなフラットリング8をウェーハの固定用シート9に固着してシート9の弛みや皺などの発生を防止した状態で、図25（b）に示す如くフラットリング8の開口内のシート9上にウェーハ1を固着する。そして、上記ウェーハ1を固着したシート9とフラットリング8をダイシング用のチャックテーブル10に固定し、ダイシング用ブレード11でダイシング（フルカット）し、個々のチップ12に切断分離する（図26参照）。次に、図27に示すように、シート9の下からピックアップニードル13をシート9を貫通させて、チップ12の裏面に当てて上方に押圧することにより個々のチップ12をシート9から剥離し、図28に示すようにリードフレームのアイランド14に導電性ペースト等のダイボンディング用接着剤を用いてマウントする。その後、図示しないがリードフレームのインナーリード部とチップ12の各パッドとをワイヤボンディングし、樹

脂製やセラミック製の外囲器に封止して半導体装置を完成する。

【0005】しかしながら、上記のようなウェーハの分割方法及び半導体装置の製造方法では、下記（a）～（c）に示すような問題がある。

【0006】（a）薄厚研削時にウェーハが割れ易い。保護テープを貼り付けて研削を行っても、研削時の歪みによりウェーハが反ってしまい、このために研削装置内での搬送時に引っ掛かったりして破損する。また、ウェーハが薄くなったり大口径化されるに従いウェーハの強度が低下するため、現状のようにウェーハを薄くした後、ウェーハ単体を搬送して種々の処理を施す方法では破損する確率が高くなる。例えば、ウェーハが400 μ mの厚さでは1.6 Kgf/mm² 程度まで耐えられるが、厚さが200 μ mになると0.4 Kgf/mm² と1/4にまで低下する。

【0007】（b）パターン形成面の保護とダイシング時のウェーハ保持用として二枚のシートを使用するため、これらの貼り付け、剥離、貼り付けと工程がそれぞれ必要となり、材料費が高くなり製造工程も増加する。

【0008】（c）ダイシングを行った場合、ウェーハの裏面側のチップングが大きくなり、チップの抗折強度の低下を招く。しかも、従来は種々の特性モニター用のトランジスタ、抵抗及びコンデンサー等（これらをTEG: Test Element Groupと称する）をチップ内に配置していたが、近年は高集積化を図るためにダイシングライン上に配置するようになった。周知の通り、これらの素子は酸化膜、アルミニウム等で構成されており、ダイヤモンドブレードを用いてダイシングを行う際に、砥石の目詰まりを起こし易く、切れ味を阻害する材料である。このため、ダイシングライン上にTEGが配置されている場合には、ウェーハの裏面側のチップングが更に大きくなる。一般に半導体基板として使用されている材料はシリコンやGaAs等の脆性材であるために、チップングやクラック等が存在すると抗折強度の低下を招きやすい。

【0009】

【発明が解決しようとする課題】上記のように従来のウェーハの分割方法及び半導体装置の製造方法は、薄厚研削時や搬送時にウェーハが割れやすいという問題があった。また、パターン形成面の保護とウェーハの保持のために二枚のシートを必要とするため、材料費が高くなり製造工程も増加するという問題があった。更に、ダイシングを行った場合、ウェーハの裏面側のチップングが大きくなり、チップの抗折応力の低下を招くという問題があった。

【0010】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、薄厚研削時や搬送時のウェーハの割れを抑制できるウェーハの分割方法及び半導体装置の製造方法を提供することにある。

【0011】また、この発明の他の目的は、製造工程とコストの削減が図れるウェーハの分割方法及び半導体装置の製造方法を提供することにある。

【0012】この発明の更に他の目的は、ウェーハの裏面側のチップングを小さくでき、チップの抗折応力の低下を抑制できるウェーハの分割方法及び半導体装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】この発明のウェーハの分割方法は、半導体素子が形成されたウェーハのダイシングラインに沿って、先端部に曲面を有するダイシング用ブレードを用いて、前記半導体素子の形成面側から完成時のチップの厚さよりも深く、且つ底部に曲面を有する溝を形成する工程と、前記ウェーハにおける前記半導体素子の形成面上に保持部材を貼り付ける工程と、前記ウェーハの裏面を研削及び研磨して、ウェーハを個々のチップに分離し、研削及び研磨によってウェーハが個々のチップに分割された後も研削及び研磨を続け、前記完成時のチップの厚さにする工程とを具備し、前記ウェーハの研削及び研磨面が前記溝の底部に達してから、完成時のチップ厚になるまでの研削及び研磨量と、前記溝の底部における曲面を有する領域の深さとの比が0.3以上であることを特徴としている。

【0014】また、この発明のウェーハの分割方法は、半導体素子が形成されたウェーハのチップ分割ラインに沿ってエッチングすることにより、前記半導体素子の形成面側から完成時のチップの厚さよりも深い溝を形成する工程と、前記ウェーハにおける前記半導体素子の形成面上に保持部材を貼り付ける工程と、前記ウェーハの裏面を研削及び研磨して、ウェーハを個々のチップに分離する工程とを具備し、研削及び研磨によってウェーハが個々のチップに分割された後も研削及び研磨を続け、前記完成時のチップの厚さにすることを特徴としている。

【0015】更に、この発明のウェーハの分割方法は、半導体素子が形成されたウェーハのチップ分割ラインに沿ってエッチングすることにより、前記半導体素子の形成面側から完成時のチップの厚さよりも深く、且つ底部に曲面を有する溝を形成する工程と、前記ウェーハにおける前記半導体素子の形成面上に保持部材を貼り付ける工程と、前記ウェーハの裏面を研削及び研磨して、ウェーハを個々のチップに分離し、研削及び研磨によってウェーハが個々のチップに分割された後も研削及び研磨を続け、前記完成時のチップの厚さにする工程とを具備し、前記ウェーハの研削及び研磨面が前記溝の底部に達してから、完成時のチップ厚になるまでの研削及び研磨量と、前記溝の底部における曲面を有する領域の深さとの比が0.3以上であることを特徴としている。

【0016】そして、下記(A)～(E)のような特徴を備えている。

【0017】(A) 前記溝の深さは、前記完成時のチ

ップの厚さよりも少なくとも5 μ m深い。

【0018】(B) 前記溝の深さは、前記完成時のチップの厚さよりも5 μ m乃至60 μ m深い。

【0019】(C) 前記保持部材は、粘着材付きテープ、ワックス、吸着パッド、熱圧着シート、粘着材を塗布した基板、及び前記半導体素子上に塗布したレジストの中から選択された少なくともいずれか1つの材料である。

【0020】(D) 前記ウェーハの裏面を研削及び研磨して、前記完成時のチップの厚さにする工程は、第1の砥粒径の研削砥石により前記ウェーハの裏面を前記完成時のチップより厚く研削及び研磨する第1の工程と、前記第1の工程で研削及び研磨した前記ウェーハの裏面を、前記第1の砥粒径よりも小さな第2の砥粒径の切削砥石を用いて前記完成時のチップの厚さまで研削及び研磨する第2の工程とを含む。

【0021】(E) 主要な前記第1の砥粒径は40～60 μ mであり、主要な前記第2の砥粒径は4～6 μ mである。

【0022】上記のようなウェーハの分割方法によれば、ウェーハの素子形成面側から完成時のチップの厚さよりも深い溝をダイシングブレードを用いて、あるいはエッチングにより形成し、このウェーハの裏面を上記完成時のチップの厚さまで研削及び研磨することによってウェーハを個々のチップに分離するので、ダイシングの際のチップングを抑制できる。また、溝の底部に曲面を形成すれば、ウェーハの裏面を研削及び研磨して行く際、溝底部のアーチ形状によってウェーハの大幅な強度向上が図れ、ウェーハが個々のチップに分離される直前におけるシリコン欠片の発生を抑制でき、チップ端面のダメージを抑えてチップ品質を向上できる。しかも、ウェーハの研削及び研磨面が溝の底部に達してから、完成時のチップ厚になるまでの研削及び研磨量と、溝の底部における曲面を有する領域の深さとの比を0.3以上にすることで、研削及び研磨時に発生するチップングの平均径をより小さくしてチップ品質を更に向上できる。

【0023】また、溝の深さを完成時のチップの厚さよりも少なくとも5 μ m深く、好ましくは5 μ m乃至60 μ m深く形成すれば、未分離などの品質劣化を防止し、且つ研削量を最適化して生産性を落とすことなく研削異常を低減できる。しかも、ウェーハの裏面を研削及び研磨して個々のチップに分離する際に、ダイシングやエッチングによって形成された切断面と研削及び研磨によって形成された研磨面とが交わる部分にチップングが発生しても、この領域を研削及び研磨によって除去できる。

【0024】上記保持部材としては、粘着材付きテープ、ワックス、吸着パッド、熱圧着シート、粘着材を塗布した基板、及び半導体素子上に塗布したレジスト等の材料を用いることができる。

【0025】ウェーハを個々のチップに分離する工程に

において、まず砥粒径の大きい研削砥石により研削及び研磨した後、砥粒径の小さい研削砥石により研削及び研磨すれば、時間の短縮が図れ、且つチップングの発生も低減できる。

【0026】この発明の半導体装置の製造方法は、ウェーハの主表面に半導体素子を形成する工程と、前記ウェーハのダイシングラインに沿って、先端部に曲面を有するダイシング用ブレードを用いて、前記ウェーハの主表面側から完成時のチップの厚さよりも深く、且つ底部に曲面を有する溝を形成する工程と、前記ウェーハの主表面上に粘着性のシートを貼り付ける工程と、前記ウェーハの裏面を研削及び研磨して、ウェーハを個々のチップに分離し、研削及び研磨によってウェーハが個々のチップに分割された後も研削及び研磨を続け、前記完成時のチップの厚さにする工程と、前記分離した各チップを前記粘着性のシートから剥離して外囲器に封止する工程とを具備し、前記ウェーハの研削及び研磨面が前記溝の底部に達してから、完成時のチップ厚になるまでの研削及び研磨量と、前記溝の底部における曲面を有する領域の深さとの比が0.3以上であることを特徴としている。

【0027】また、この発明の半導体装置の製造方法は、ウェーハの主表面に半導体素子を形成する工程と、前記ウェーハのチップ分割ラインに沿ってエッチングすることにより、前記ウェーハの主表面側から完成時のチップの厚さよりも深い溝を形成する工程と、前記ウェーハの主表面上に粘着性のシートを貼り付ける工程と、前記ウェーハの裏面を研削及び研磨して、ウェーハを個々のチップに分離する工程と、前記分離した各チップを前記粘着性のシートから剥離して外囲器に封止する工程とを具備し、研削及び研磨によってウェーハが個々のチップに分割された後も研削及び研磨を続け、前記完成時のチップの厚さにすることを特徴としている。

【0028】更に、この発明の半導体装置の製造方法は、ウェーハの主表面に半導体素子を形成する工程と、前記ウェーハのチップ分割ラインに沿ってエッチングすることにより、前記ウェーハの主表面側から完成時のチップの厚さよりも深く、且つ底部に曲面を有する溝を形成する工程と、前記ウェーハの主表面上に粘着性のシートを貼り付ける工程と、前記ウェーハの裏面を研削及び研磨して、ウェーハを個々のチップに分離し、研削及び研磨によってウェーハが個々のチップに分割された後も研削及び研磨を続け、前記完成時のチップの厚さにする工程と、前記分離した各チップを前記粘着性のシートから剥離して外囲器に封止する工程とを具備し、前記ウェーハの研削及び研磨面が前記溝の底部に達してから、完成時のチップ厚になるまでの研削及び研磨量と、前記溝の底部における曲面を有する領域の深さとの比が0.3以上であることを特徴としている。

【0029】そして、下記(F)～(K)のような特徴を備えている。

【0030】(F) 前記溝の深さは、前記完成時のチップの厚さよりも少なくとも5 μ m深い。

【0031】(G) 前記溝の深さは、前記完成時のチップの厚さよりも5 μ m乃至60 μ m深い。

【0032】(H) 前記分離した各チップを前記粘着性のシートから剥離して外囲器に封止する工程は、前記粘着性のシートから剥離したチップをリードフレームのアイランドにマウントする工程と、前記リードフレームのインナーリード部と前記チップの各パッドとをワイヤボンディングする工程と、前記チップ、前記アイランド及び前記インナーリード部を外囲器に封止する工程とを備える。

【0033】(I) 前記分離した各チップを前記粘着性のシートから剥離して外囲器に封止する工程は、前記粘着性のシートから剥離したチップの主表面上にリードの一端を接着する工程と、前記リードと前記チップの各パッドとをワイヤボンディングする工程と、前記チップ、前記リードの一端を外囲器に封止する工程とを備える。

【0034】(J) 前記ウェーハの裏面を研削及び研磨して、前記完成時のチップの厚さにする工程は、第1の砥粒径の研削砥石により前記ウェーハの裏面を前記完成時のチップより厚く研削及び研磨する第1の工程と、前記第1の工程で研削及び研磨した前記ウェーハの裏面を、前記第1の砥粒径よりも小さな第2の砥粒径の切削砥石を用いて前記完成時のチップの厚さまで研削及び研磨する第2の工程とを含む。

【0035】(K) 主要な前記第1の砥粒径は40～60 μ mであり、主要な前記第2の砥粒径は4～6 μ mである。

【0036】上記のような半導体装置の製造方法によれば、ウェーハ上に形成された半導体素子を個々のチップ毎に切断分離して外囲器に封止する工程は、ダイシング(ハーフカット)、ウェーハの裏面研削及び研磨、ダイボンディングの順である。すなわち、ウェーハを個々のチップに分離するのは、研削及び研磨によって行う。よって、ウェーハの裏面を研削及び研磨して薄厚化した状態での搬送や処理工程がないので、ウェーハの破損を防止できる。

【0037】シートは一枚で済むので材料費の低減と製造工程の削減が図れ、低コスト化できる。外力を加えてウェーハを分割する必要がないのでチップングを抑制できる。

【0038】ウェーハの裏面側を、切削及び研磨によって除去して個々のチップに分離するので、ウェーハの裏面側に発生するチップングを抑制でき、抗折応力の低下を抑制できる。また、溝の底部に曲面を形成すれば、ウェーハの裏面を研削及び研磨して行く際、溝底部のアーチ形状によってウェーハの大幅な強度向上が図れ、ウェーハが個々のチップに分離される直前におけるシリコン欠片の発生を抑制でき、チップ端面のダメージを抑えて

チップ品質を向上できる。しかも、ウェーハの研削及び研磨面が溝の底部に達してから、完成時のチップ厚になるまでの研削及び研磨量と、溝の底部における曲面を有する領域の深さとの比を 0.3 以上にするので、研削及び研磨時に発生するチップングの平均径をより小さくしてチップ品質を更に向上できる。

【0039】更に、溝の深さを完成時のチップの厚さよりも少なくとも $5\mu\text{m}$ 深く、好ましくは $5\mu\text{m}$ 乃至 $60\mu\text{m}$ 深く形成すれば、未分離などの品質劣化を防止し、且つ研削量を最適化して生産性を落とすことなく研削異常を低減できる。また、ウェーハの裏面を研削及び研磨して個々のチップに分離する際、ダイシングやエッチングによって形成された切断面と研削及び研磨によって形成された研磨面とが交わる部分にチップングが発生しても、この領域を研削及び研磨によって除去できる。

【0040】外囲器に封止する際には、通常の樹脂パッケージやセラミックパッケージに封止しても良く、LOC (Lead On Chip) パッケージに封止しても良い。

【0041】更に、ウェーハを個々のチップに分離する工程において、まず砥粒径の大きい研削砥石により研削及び研磨した後、砥粒径の小さい研削砥石により研削及び研磨すれば、時間の短縮が図れ、且つチップングの発生も低減できる。

【0042】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。

【第 1 の実施の形態】図 1 乃至図 8 はそれぞれ、この発明の第 1 の実施の形態に係るウェーハの分割方法及び半導体装置の製造方法について説明するためのもので、図 1 はダイシングラインに沿ってウェーハに溝を形成する工程、図 2 は溝の拡大断面図、図 3 (a), (b) はウェーハに表面保護テープを貼り付ける工程、図 4 はウェーハ裏面の研削及び研磨工程 (分割工程)、図 5 はウェーハの研削及び研磨面が溝の底部に達してから、完成時のチップ厚になるまでの研削及び研磨量と、溝の底部における曲面を有する領域の深さとの比を変化させたときに、ウェーハの研削及び研磨面に発生するチップングの平均径を測定した結果を示す図、図 6 は分離したチップをピックアップする工程、図 7 はダイボンディング工程及び図 8 は外囲器に封止する工程をそれぞれ示している。

【0043】先ず、図 1 に示す如く、各種の半導体素子が形成されたウェーハ 21 をパターン形成面 (ウェーハ 21 の主表面) 21' 側を上にして、ダイシング装置のチャックテーブル 23 にパキュームその他の方法で吸着して固定する。そして、先端部に曲面を有するダイシング用ブレード 24 を任意の回転数で回転させ、切削水を掛けながら所定の深さまでダイシングラインに沿って溝 22 を切り込む。この溝 22 の深さは、完成時のチップ

の厚さ (仕上げチップ厚) よりも少なくとも $5\mu\text{m}$ 、好ましくは $5\mu\text{m}$ 乃至 $60\mu\text{m}$ 深くする。

【0044】これによって、図 2 に示すように、幅 (ダイシング用ブレード 24 の幅に対応する) が D で、底部に曲面を有する溝 22 が形成される。この溝 22 の曲面を有する領域の深さ (ダイシング用ブレード 24 における先端部の曲面を有する領域の突出量に対応する) は B である。

【0045】なお、上記溝 22 は、上記ダイシング用ブレード 24 を用いて機械的に形成するだけでなく、エッチング等の化学的な方法で形成しても構わない。例えば、異方性エッチングと等方性エッチングを組み合わせることにより、図 2 に示したような断面形状の溝 22 を形成できる。すなわち、ウェーハ 21 の主表面 21' 上にフォトリソを塗布し、PEP 法等によりチップ分割ライン (ダイシングラインに対応する) 上を露出させた後、KOH 溶液に浸漬させることによりウェーハ 21 を深さ方向 (ウェーハ 21 の主表面と直交する方向) に選択的にエッチングする。あるいは、KOH 溶液を用いたウェットエッチングに代えて、RIE (Reactive Ion Etching) 等のドライエッチング技術の適用も考えられる。例えば、真空度 60mTorr でエッチングガスとして SF₆ ガスや SF₆/CF 系混合ガスによりシリコンのみを選択的にエッチングすることが可能である。特に、SF₆/CF 系混合ガスでは良好な異方性エッチングが可能であり、ウェーハ 21 の主表面 21' に対してほぼ垂直な溝加工が可能になる。その後、溝の底部を等方性エッチングすることにより、図 2 に示したように底部に曲面を持った溝 22 を形成する。

【0046】上記エッチングを用いた溝 22 の形成方法は、ダイヤモンドブレード等のダイシング用ブレード 24 を用いる場合に比して、溝 22 の側壁 (切断面) が機械的な応力の影響を受けないので、切断面に発生する結晶欠陥を低減できる。よって、必ずしも溝 22 の底部に曲面を形成しなくても良い。

【0047】もちろん、上述した機械的あるいは化学的な形成方法だけでなく、レーザースクライパー等のような光学的な方法を用いて溝 22 を形成することもできる。この図 1 に示した工程で重要なのは、どのような方法で溝 22 を形成するかではなく、溝 22 の深さを、完成時のチップの厚さよりも少なくとも $5\mu\text{m}$ 、好ましくは $5\mu\text{m}$ 乃至 $60\mu\text{m}$ 深く (但し、ウェーハ 21 が個々のチップに分離されないように) することである。

【0048】その後、上記のようにして溝 22 を形成したウェーハ 21 の洗浄と乾燥処理を行う。

【0049】次に、図 3 (a) に示すようなフラットリング 25 をパターン形成面の表面保護テープ (粘着性のシート) 26 に貼り付けて、このテープ 26 の弛みや皺を除去した状態で、図 3 (b) に示すように前工程で溝

22を形成したウェーハ21のパターン形成面21'をテープ26の接着剤側に貼り付けて固定する。

【0050】その後、図4に示すように、上記フラットリング25と表面保護テープ26とで保持されたウェーハ21を、研削装置のチャックテーブル27にバキューム等の方法で吸着固定する。そして、チャックテーブル27と研削用砥石28を回転させ、砥石28を降下させながらウェーハ21の裏面を削る。一般にこの研削方法はインフィード研削と呼ばれるものであるが、別の方法としてスルーフィード研削またはクリープフィード研削を用いても良い。上記ウェーハ21の裏面を、溝22に達するまで削ると、ウェーハ21は個々のチップ29に分割される。この発明では、ウェーハ21が個々のチップ29に分割された後も研削及び研磨を続け、完成時のチップの厚さ（仕上げチップ厚）にする。この際、上記研削及び研磨面が溝22の底部に達してから、完成時のチップの厚さになるまでの研削及び研磨量A（図2参照）と、上記溝22の底部の曲面を有する領域の深さBとの比（A/B）を0.3以上にする。

【0051】図5は、裏面研削時に研削面が溝22の底部に達してから仕上げチップ厚になるまでの研削量Aと、溝22の底部の曲面を有する領域の深さBとの比（A/B）を変えたときに、ウェーハ21の裏面に発生するチップングの平均径を測定した結果を示している。図示するように、溝22の底部が平らな場合には14μm程度のチップングが平均的に発生する。これに対し、A/Bが0.3以下では大きなチップングが発生しているものの、0.3以上になると14μmより小さくなり、A/Bが1前後でのチップングの平均径は5μmとなる。

【0052】上記のように、ダイシングによって形成された切断面と研削及び研磨によって形成された研磨面とが交わる部分にチップングが発生しても、この領域を研削及び研磨することによって除去できる。また、溝22の底部が曲面を有するので、ウェーハ21の裏面を研削及び研磨して行く際、溝22の底部のアーチ形状によってウェーハ21の大幅な強度向上が図れ、ウェーハ21が個々のチップに分離される直前におけるシリコン欠片の発生を抑制でき、チップ端面のダメージを抑えてチップ品質を向上できる。しかも、ウェーハ21の研削及び研磨面が溝の底部に達してから、完成時のチップ厚になるまでの研削及び研磨量と、溝の底部における曲面を有する領域の深さとの比を0.3以上にするので、研削及び研磨時に発生するチップングの平均径をより小さくしてチップ品質を更に向上できる。また、溝の深さを完成時のチップの厚さよりも5μm乃至60μm深く形成しているので、未分離などの品質劣化を防止し、且つ研削量を最適化して生産性を落とすことなく研削異常を低減できる。これによって、本発明を用いれば、チップ29の完成時の厚さは、例えば30～50μmまで薄厚化が

可能となる。

【0053】なお、上記ウェーハ21の裏面を、溝22に達するまで削って個々のチップ29に分割する際、1種類の砥粒径の研削砥石を用いても良いが、研削時間の短縮とチップングの発生の防止との両方を考慮すると、次のように少なくとも2種類の砥粒径の研削砥石を用いて2段階、あるいはそれ以上で行うことが好ましい。すなわち、まず#360（主要な砥粒径が40～60μm）程度の砥粒径の大きい研削砥石により研削及び研磨した後、#2000（主要な砥粒径が4～6μm）程度の砥粒径の小さい研削砥石により研削及び研磨して個々のチップ29に分離すれば、ウェーハ21を個々のチップ29に分離するまでの時間短縮が図れ、且つ最終的に分離する際には砥粒径の小さい研削砥石を用いるのでチップングの発生も低減できる。

【0054】次に、図6に示すように、ウェーハ21の切断分離を終えて分割された個々のチップ29が接着固定されているフラットリング25をダイボンディング装置に設置し、このダイボンディング装置のピックアップニードル30を用いて表面保護テープ26越しにパターン形成面22に下方に圧力を加える。これによって、ピックアップニードル30は、テープ26を貫通することなくチップ29のパターン形成面を押圧し、チップ29がテープ26から剥離される。上記ピックアップニードル30は、先端曲率半径が0.35mm以上であれば18Nの力が掛かっても（15mm×15mmチップの場合）、チップ29中に形成されたアルミ配線等にダメージが発生しないことを本発明者等は実験により確認している。よって、チップ29の主表面側から表面保護テープ26を介してピックアップニードル30（金属製のピン）で押し剥がしても、先端曲率半径を最適化することによりピックアップニードル30がテープ26を破ることはなく、特に問題は発生しない。なお、本実施の形態では、チップ29をテープ26から剥離する際に、チップ29を押し下げようとしたが、押し上げて剥離するようにしても良く、一般には後者の方法が多用されている。

【0055】テープ26から剥離されたチップ29は、ダイボンディング装置のコレットと呼ばれるツールで吸着保持し、図7に示すようにリードフレームのアイランド31にマウントする。この際、リードフレームのアイランド31に予め接着固定用の導電性ペースト32を塗布しておき、その上にチップ29をダイボンディングする。金-シリコンの共晶を利用してマウントしたり、ウェーハの裏面に金属の薄膜を蒸着し、半田を用いてマウントすることもできる。

【0056】その後、ワイヤボンディングを行ってチップ29の各パッドとリードフレーム34のインナーリード部とをボンディングワイヤ35で電気的に接続する。そして、チップ29、アイランド31及びリードフレ-

ム 34 のインナーリード部を樹脂（またはセラミック）パッケージ 33 に封止し、リードフォーミングを行って図 8 に示すような半導体装置を完成する。

【0057】図 9（a）、（b）はそれぞれ、ウェーハを個々のチップに分離した時の研削面の拡大図である。図 9（a）は、従来の分割方法及び製造方法を用いた場合を示し、フルカットによってダイシングした時の研削面側の拡大図である。図示する如く、ダイシング部に多数のチップングが発生している。図 9（b）は、この発明の分割方法及び製造方法を用いた場合を示すもので、図 9（a）に比べてシャープな切断面であり、チップングは大幅に減少している。

【0058】溝 22 の深さに関しては、裏面研削装置における研削部の精度、及び保護テープ部材の厚さの精度について検証したところ、下表 1 に示すように、最終的なチップ厚と一致（0）か 5 μm 以下の範囲では、最悪の場合、未分離が発生してしまい、次のピックアップ工程においてクラックが発生させながらチップをピックアップすることになり、チップ裏面に著しいダメージを与*

表 1

溝の深さ (仕上げチップ厚 + μm)	0 μm	2 μm	5 μm	20 μm	40 μm	60 μm	80 μm
チップ裏面 形状	未分離 発生	7- μm 形状 残発生	○	○	○	○	○
研削品質	○	○	○	○	○	○	研削異 常発生

【0061】これらのことから、好ましい溝の深さは「仕上げチップ厚 + 5 μm 」乃至「仕上げチップ厚 + 60 μm 」である。

【0062】なお、上述した第 1 の実施の形態では、図 1 に示した工程においてウェーハ 21 に溝 22 を形成した後、図 3（a）、（b）に示したようにパターン形成面の表面保護テープ 26 にフラットリング 25 を貼り付け、このフラットリング 25 と表面保護テープ 26 とで保持されたウェーハ 21 を、研削装置のチャックテーブル 27 に吸着固定してウェーハ 21 の裏面を削った。しかしながら、フラットリング 25 はウェーハ 21 の裏面を削る工程では必ずしも必要ではなく、図 10 及び図 11 に示すようにフラットリングを用いなくても良い。すなわち、図 1 に示したような工程を経てウェーハ 21 に溝 22 を形成した後、ローラー 51 を図示矢印方向に移動させながらウェーハ 21 のパターン形成面（主表面）21' 上に表面保護テープ（粘着性のシート）52 を貼り付ける。その後、図 11 に示すように、表面保護テープ 52 で主表面が保護されたウェーハ 21 を、研削装置のチャックテーブル 27 にバキューム等の方法で吸着固定する。この際、フラットリングを使用していないので、ウェーハ 21 全体をフラットな状態で吸着する必要がある。引き続き、チャックテーブル 27 と研削用砥石

*える。

【0059】これに対し、60 μm 以上の研削を行おうとすると、研削時間が長くなって生産性が低下する。特に、分割時間の短縮とチップの品質向上のために、粗研削と仕上げ研削を行う場合には、仕上げ研削の加工速度は粗研削の 1/5 ~ 1/10 程度にする必要があり、且つ仕上げ研削砥石の特性上、研削量を大きく取ると研削面異常（砥石材料がウェーハ研削面に付着）が発生することからも溝 22 の深さをあまり深くできない。しかも、研削量を多くする場合には、2 軸分離が前提となるが、2 軸による低速での研削量が増えるために生産能力が大幅に低下するのみならず、2 軸研削量が増えることで研削時の砥石への負担が増えて研削異常が発生し易くなる。従って、溝 22 の深さを 60 μm 以上に深くするのは好ましくない。下表 1 に示すように、80 μm では研削異常が発生している。

【0060】

【表 1】

28 を回転させ、砥石 28 を降下させながらウェーハ 21 の裏面を削る。上記ウェーハ 21 の裏面を、溝 22 に達するまで削ると、ウェーハ 21 は個々のチップに分割される。ウェーハ 21 が個々のチップ 29 に分割された後も研削及び研磨を続け、少なくとも 5 μm 以上、好ましくは 5 μm 乃至 60 μm 研削及び研磨する。次に、図 12（a）に示すように、フラットリング 25 の粘着性のシート 26 上に前の工程で個々のチップ 29 に分割され表面保護テープ 52 で保持されているウェーハ 21 の裏面を貼り付ける。その後、図 12（b）に示すように、表面保護テープ 52 を剥がす。以降の工程は、図 6 乃至図 8 に示した工程と同様である。

【0063】なお、図 6 に示した工程でピックアップした個々のチップ 29 をダイボンディング、ワイヤボンディング及びパッケージへの封止工程等を経て半導体装置を完成するのではなく、トレイに詰めても良い。

【0064】〔第 2 の実施の形態〕図 13 は、この発明の第 2 の実施の形態に係る半導体装置の製造方法について説明するためのもので、LOC（Lead On Chip）パッケージに適用したものである。LOC パッケージの場合には、図 6 に示したピックアップ工程の後、次のような工程で封止する。まず、チップ 29 上に接着テープ 36 を介在させてリード 37 の一端を接着す

る。その後、ワイヤボンディングを行ってチップ29の各パッドとリード37とをボンディングワイヤ35で接続する。そして、樹脂パッケージ33またはセラミックパッケージに封止することにより、図13に示したような半導体装置が完成する。

【0065】本実施の形態によれば、リード37の接着やワイヤボンディング時の荷重により、シリコン屑がチップ29表面の保護膜を破り、アルミ配線の段線やシート等の不良を起こす危険を抑制できる。

【0066】上記のようなウェーハの分割方法及び半導体装置の製造方法によれば、下記(1)～(6)に示す*

表 2

チップ厚(μm) (与溝の深さ)	450	350	290	200	100	50
従来(ppm)	180	250	600	1000	5000	60000
本発明(ppm)	20	20	0	0	0	0

【0070】表2に示す如く、従来はチップ厚が薄くなると破損率が高くなったが、この発明では最終的なチップ厚が薄くなるほど破損率が低くなる。これは、チップ厚を薄くする場合には溝を浅くすることができるので、溝の下に残存するウェーハ厚が厚くなることに依るものである。6インチ型のウェーハの場合には、ウェーハの厚さは通常600～650μmである。従来の分割方法及び製造方法では、例えば50μmの厚さのチップを形成しようとする、ウェーハを予め50μmの厚さに研削及び研磨し、図22乃至図24に示した処理を行う。これに対し、この発明の方法では、50μmの溝を形成した後(溝の下には550～600μmのウェーハが残存されている)、研削及び研磨して個々のチップに分割※30

※するので破損率が低くなる。

【0071】(2)搬送時のトラブルがウェーハの口径に左右されない。研削と同時にチップに分割するため、チップ厚が薄くなっても、あるいは同じ口径でも切削歪みによるウェーハの反りの影響を受けることなく装置内搬送が可能である。また、チップ厚が薄くなると溝の下に残存されるウェーハが厚くなるので、この点からも搬送時のウェーハ破損等を低減できる。これにより下表3のような効果が得られる。但し、ウェーハが8インチ型で、チップの厚さを50μmに仕上げる場合のものである。

【0072】

【表3】

表 3

	従来	本発明
搬送トラブルの減少(ppm)	80000	50
ウェーハへの収納率(指数)	1	2

【0073】この表3のデータから明らかなように、この発明はウェーハの大口径化に有効であり、今後展開されるウェーハの12インチ型化、または16インチ型化への対応が容易になる。

【0074】(3)表面保護テープを一枚しか使用しないため、従来の方法に比して材料費と加工費を60%程度削減でき、製造コストの低減が図れる。

【0075】(4)フルカット方式の場合、シートまで切り込むため、ブレードの切れ味の低下及びダイシング中のチップの飛散が生ずるため、一般的に80～120mm/secであるが、この発明の方法では200mm/secまで可能である。これによって、ダイシングスピードの向上が図れ、10%程度の加工費の低減が図れる。

【0076】(5)ウェーハを分割するために、ダイシ

ングシートまで切り込む必要がなく、且つ裏面研削用の砥石で研削して分割するため、裏面チップングの大きさが従来の15μm程度から4μm程度へと小さくなり、抗折強度が従来の方法では520MPaであったものが、600MPaまで向上する。

【0077】なお、裏面研磨でチップ分割を行う際には、研削砥石のダイヤモンド粒径により裏面チップング量が大きくなり、下表4のようにダイヤモンド粒径が小さい方が裏面チップングが小さくなり、従って、チップの抗折強度がより向上する効果が得られる。よって、チップ分割時に使用する砥石のダイヤモンド粒径はできるだけ小さい方が好ましい。また、上述したように、砥石径の大きい研削砥石と小さい研削砥石を組み合わせる用いにより、チップングを低減しつつ研削時間の短縮も図れる。

【0078】

【表 4】

表 4

ダイヤモンド粒径分布: μm	本発明方式		従来方式
	4~6	40~60	4~6
裏面チップの平均: μm	3.2	8.76	13.8
(MAX): μm	23	55	53
チップ抗折強度(平均): MPa	669.0	560.4	505.5

【0079】図14は、従来の方法とこの発明の方法による抗折強度分布を比較して示しており、各抗折強度(200MPa~1000MPa)におけるチップングの発生確率(%)を示している。この図14から明らかなように、この発明の分割方法では従来の分割方法に比して同一の抗折強度であればチップングの発生確率が下がり、高い抗折強度側にシフトしている。従来の方法による抗折強度の平均値は約520MPaであり、この発明の方法による抗折強度の平均値は約600MPaである。

【0080】(6) ウェーハを分割するために、ダイシングシートまで切り込む必要がないため、ダイシングブレードの摩耗を低減でき、ダイシングブレードの寿命を向上できる。例えば、ダイシングシートまで切り込む方式を採用した場合には、通常10000~20000ライン(6インチ型ウェーハの場合)の寿命であるが、この発明の方法では80000ライン以上にまで寿命を延ばすことが期待できる。

【0081】[第3の実施の形態] 図15(a)~(e)はそれぞれ、この発明の第3の実施の形態に係る半導体装置の製造方法について説明するためのもので、分割されたチップをリードフレームにマウントする工程を順次示している。まず、第1の実施の形態と同様に、図1乃至図4に示した工程に従ってウェーハ21を個々のチップ29に分割する。次に、分割された個々のチップ29が接着固定されているフラットリング25を研削装置のチャックテーブル27から取り外し、図15

(a)に示すようにチップ29のピックアップを行う。この際、チップ29を下方から表面保護テープ26を介してピックアップニードルで突き上げて表面保護テープ26から剥離し、コレット38で裏面を吸着する。このコレット38はチップ反転機構を有しており、図15

(b)に示す如く、下向きの吸着部が上向きになるように180°回転する。この状態で、チップ空中受け渡し機構を用いて、図15(c)に示すように別のコレット39に持ち替える。これによって、チップ29の表裏が反転して主表面(パターン形成面)が上向きとなる。その後、図15(d)に示すようにディスペンサ40を用いてリードフレーム34のアイランド31に導電性ペースト41を塗布し、図15(e)に示すように上記コレット39で保持しているチップ29を上記リードフレーム34のアイランド31上に移動させてダイボンディング

グする。

10 【0082】[第4の実施の形態] 図16(a)~

(c)はそれぞれ、この発明の第4の実施の形態に係る半導体装置の製造方法について説明するためのもので、分割されたチップをリードフレームにマウントする工程を順次示している。まず、第1の実施の形態と同様に、図1乃至図4に示した工程に従ってウェーハ21を個々のチップ29に分割する。次に、分割された個々のチップ29が接着固定されているフラットリング25を研削装置のチャックテーブル27から取り外し、各チップ29を図16(a)に示すように表面保護テープ42にフラットリング43を張り付けたテープ表面に張り替える。これによって、チップ29の表裏が反転して主表面が上向きとなる。次に、図16(b)に示すようにディスペンサ40を用いてリードフレーム34のアイランド31に導電性ペースト41を塗布する。その後、図16(c)に示すようにピックアップニードルを用いた従来と同様なピックアップ、すなわち、表面保護テープ42越しに下方からパターン形成面に圧力を加えることによって、チップ29のパターン形成面を押圧し、チップ29を表面保護テープ42から剥離する。そして、コレット44でピックアップしたチップ29を上記導電性ペースト41を塗布したリードフレーム34のアイランド31上に移動させてダイボンディングする。

【0083】[第5の実施の形態] 図17(a)~

(c)はそれぞれ、この発明の第5の実施の形態に係る半導体装置の製造方法について説明するためのもので、分割されたチップをリードフレームにマウントする工程を順次示している。まず、第1の実施の形態と同様に、図1乃至図4に示した工程に従ってウェーハ21を個々のチップ29に分割する。次に、分割された個々のチップ29が接着固定されているフラットリング25を研削装置のチャックテーブル27から取り外し、各チップ29をポーラスチャックテーブル45に移し替える。これによって、チップ29の表裏が反転して主表面が上向きとなる。次に、図17(b)に示すようにディスペンサ40を用いてリードフレーム34のアイランド31に導電性ペースト41を塗布する。その後、図17(c)に示すようにチップ29をポーラスチャックテーブル45からピックアップする。そして、上記ピックアップしたチップ29を上記リードフレーム34のアイランド31上に移動させてダイボンディングする。

【0084】よって、上記第5の実施の形態では、突き上げピンを用いることなくチップ29のピックアップが可能となる。

【0085】〔第6の実施の形態〕図18(a)～

(e)はそれぞれ、この発明の第6の実施の形態に係る半導体装置の製造方法について説明するためのもので、分割されたチップをリードフレームにマウントする工程を順次示している。まず、第1の実施の形態と同様に、図1乃至図4に示した工程に従ってウェーハ21を個々のチップ29に分割する。次に、分割された個々のチップ29が接着固定されているフラットリング25を研削装置のチャックテーブル27から取り外し、図18

(a)に示すようにコレット38を用いて各チップ29のピックアップを行う。ピックアップは、チップ29を表面保護テープ26を介して下方からピックアップニードルで突き上げて表面保護テープ26から剥離し、コレット38で吸着して行う。このコレット38はチップ反転機構を有しており、図18(b)に示す如く、下向きの吸着部が上向きとなるように180°回転する。この状態で、チップ空中受け渡し機構を用いて別のコレット39に持ち替える。次に、コレット39を移動させ、図18(c)に示すように各チップ29を表面保護テープ46にフラットリング47を張り付けたテープ表面に張り替える。これによって、各チップ29の表裏が反転して主表面(パターン形成面)が上向きとなる。次に、図18(d)に示すように、ディスペンサ40を用いてリードフレーム34のアイランド31に導電性ペースト41を塗布する。その後、図18(e)に示すようにピックアップニードルを用いた従来と同様なピックアップ、すなわち、表面保護テープ越しにチップ裏面に圧力を加えることによって、チップ裏面を押圧し、チップ29を表面保護テープから剥離する。そして、上記コレット39で保持しているチップ29を上記リードフレーム34のアイランド31上に移動させてダイボンディングする。

【0086】上記マウント方法は、各チップ29をフラットリング47の表面保護テープ46に張り付けた状態で離れた位置にある製造装置、別の部屋や別の工場等に容易に輸送でき、種々の製造装置や製造方法に柔軟に対応できる。

【0087】〔第7の実施の形態〕図19(a)～

(e)はそれぞれ、この発明の第7の実施の形態に係る半導体装置の製造方法について説明するためのもので、分割されたチップをリードフレームにマウントする工程を順次示している。まず、第1の実施の形態と同様に、図1乃至図4に示した工程に従ってウェーハ21を個々のチップ29に分割する。次に、分割された個々のチップ29が接着固定されているフラットリング25を研削装置のチャックテーブル27から取り外し、図19

(a)に示すようにチップ29のピックアップを行う。

この際、チップ29を下方から表面保護テープ26を介してピックアップニードルで突き上げて表面保護テープ26から剥離し、コレット38で吸着する。このコレット38はチップ反転機構を有しており、図19(b)に示すように吸着部が下向きから上向きに180°回転する。この状態で、チップ空中受け渡し機構を用いて別のコレット39に持ち替える。次に、図19(c)に示すように、各チップ29をチップトレイ48に収容する。チップトレイ48にはチップ29の主表面(パターン形成面)が上向きに収容される。次に、図19(d)に示すようにディスペンサ40を用いてリードフレーム34のアイランド31に導電性ペースト41を塗布する。その後、図19(e)に示すようにコレット39でチップトレイ48から各チップ29を吸着し、上記コレット39で保持しているチップ29をリードフレーム34のアイランド31上に移動させてダイボンディングする。

【0088】上記マウント方法では、上記第6の実施の形態と同様に、各チップ29をチップトレイ48に収容した状態で離れた位置にある製造装置、別の部屋や別の工場等に容易に輸送でき、種々の製造装置や製造方法に柔軟に対応できる。

【0089】〔第8の実施の形態〕図20(a)～

(d)はそれぞれ、この発明の第8の実施の形態に係る半導体装置の製造方法について説明するためのもので、分割されたチップをリードフレームにマウントする工程を順次示している。まず、第1の実施の形態と同様に、図1乃至図4に示した工程に従ってウェーハ21を個々のチップ29に分割する。次に、分割された個々のチップ29が接着固定されているフラットリング25を研削装置のチャックテーブル27から取り外し、図20

(a)に示すようにチップ29のピックアップを行う。ピックアップは、チップ29を下方から表面保護テープ26を介してピックアップニードルで突き上げて表面保護テープ26から剥離し、コレット38で吸着して行う。この状態で、図20(b)に示すようにチップ29を加工ステージ49上に搬送して載置する。次に、図20(c)に示すように、ディスペンサ40を用いてリードフレーム34のアイランド31に導電性ペースト41を塗布する。この際、リードフレーム34のチップ搭載面を下方に向け、下方からディスペンサ40で導電性ペースト41をリードフレーム34の下面側に塗布する。そして、図20(d)に示すように上記加工ステージ49上に載置されているチップ29を上記リードフレーム34にダイボンディングする。

【0090】このようなマウント方法では、チップ29の表裏を反転する必要がないので、コレット38にはチップ反転機構は不要であり、構造を簡単化できる。また、ピックアップしたチップを別の表面保護テープに張り替えたり、チップトレイに移し替えたりする必要もない。

【0091】【第9の実施の形態】図21(a), (b)はそれぞれ、この発明の第9の実施の形態に係る半導体装置の製造方法について説明するためのもので、分割されたチップをリードフレームにマウントする工程を順次示している。まず、第1の実施の形態と同様に、図1乃至図4に示した工程に従ってウェーハ21を個々のチップ29に分割する。次に、分割された個々のチップ29が接着固定されているフラットリング25を研削装置のチャックテーブル27から取り外し、図21

(a)に示すように各チップ29の裏面に導電性ペースト41を塗布する。そして、図21(b)に示すように上記フラットリング25上にリードフレーム34を配置し、チップ29を下方から表面保護テープ26を介してピックアップニードルで突き上げて表面保護テープ26から剥離し、リードフレーム34のアイランド31にダイボンディングする。

【0092】【変形例】なお、この発明は上述した第1ないし第9の実施の形態に限定されるものではなく、要旨を逸脱しない範囲で種々変形して実施可能である。例えば、第1の実施の形態では、溝の形成時にウェーハ21をダイシング用チャックテーブル23に固着したが、従来の方法と同様にフラットリングを粘着性のシートに貼り付けた状態で、ウェーハをダイシング用チャックテーブルに固定するようにしても良い。あるいは、平板にウェーハを固定したり、平板に粘着性のシートを用いてウェーハを固着した状態で溝を形成しても良い。

【0093】また、図4及び図11に示した研削及び研磨工程において、保持部材として表面保護テープ（粘着性のシート）26、52を用いたが、他の保持部材、例えばワックス、吸着パッド、熱圧着シート、粘着材を塗布した基板、及び半導体素子上に塗布したレジスト等、あるいはこれらを組み合わせた材料を用いることができる。

【0094】更に、ウェーハ21のパターン形成面21'を粘着性のシート（表面保護テープ26）に貼り付けるようにしたが、ウェーハ21のパターン形成面21'と粘着性のシートとの間に極薄のフィルムを介在させても良い。極薄のフィルムを介在させるには、例えば、ウェーハのパターン形成面にシリテクトーIIと呼ばれる液体をスプレーで吹き付けて被膜を形成した後、粘着性のシートを貼り付ければ良い。平板上に両面あるいは片面の粘着テープを貼り付け、その上にウェーハを固着するようにしても良い。

【0095】更に、チップを表面保護テープから剥離するためにピックアップニードルを用いたが、ピックアップニードルの代わりにチップ裏面をバキュームで吸着し、表面保護テープから剥離するようにしても良い。

【0096】

【発明の効果】以上説明したように、この発明によれば、薄厚研削時や搬送時のウェーハの割れを抑制できる

ウェーハの分割方法及び半導体装置の製造方法が得られる。また、製造工程とコストの削減が図れるウェーハの分割方法及び半導体装置の製造方法が得られる。更に、ウェーハの裏面側のチップングを小さくでき、チップの抗折応力の低下を抑制できるウェーハの分割方法及び半導体装置の製造方法が得られる。更に、ダイシングブレードの摩耗量の低減やダイシングブレードの寿命の向上等の効果も得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、ダイシングラインに沿ってウェーハに溝を形成する工程を示す側断面図。

【図2】図1に示した溝の拡大断面図。

【図3】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、(a)図はフラットリングの斜視図、(b)図はウェーハに表面保護テープを貼り付ける工程を示す断面図。

【図4】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、ウェーハ裏面の研削及び研磨工程（分割工程）を示す側断面図。

【図5】裏面研削時に研削面が溝の底部に達してから仕上げチップ厚になるまでの研削量と、溝の底部の曲面を有する領域の深さとの比を変えたときに、ウェーハの裏面に発生するチップングの平均径を測定した結果を示す図。

【図6】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、分離したチップをピックアップする工程を示す側断面図。

【図7】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、ダイボンディング工程を示す斜視図。

【図8】この発明の第1の実施の形態に係る半導体装置の製造方法について説明するためのもので、外圍器に封止する工程を示す断面図。

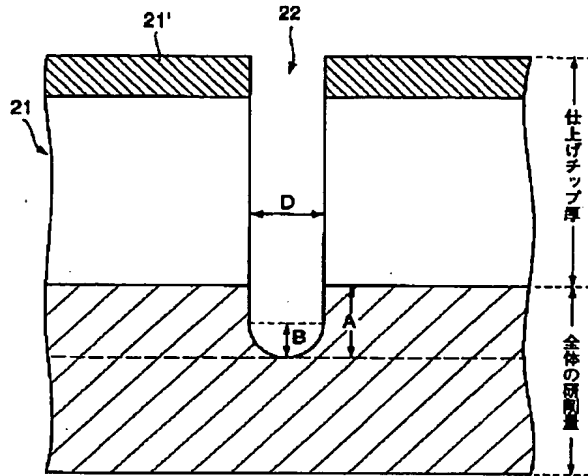
【図9】従来とこの発明の方法でウェーハを個々のチップに分離した時の研削面の拡大図であり、(a)図は従来の方法による研削面、(b)図はこの発明の方法による研削面。

【図10】この発明の第1の実施の形態に係る半導体装置の製造方法の変形例について説明するためのもので、ウェーハに表面保護テープを貼り付ける工程を示す斜視図。

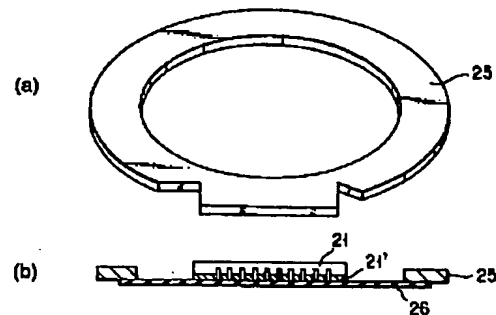
【図11】この発明の第1の実施の形態に係る半導体装置の製造方法の変形例について説明するためのもので、ウェーハ裏面の研削及び研磨工程（分割工程）を示す側断面図。

【図12】この発明の第1の実施の形態に係る半導体装置の製造方法の変形例について説明するためのもので、分離されたチップの転写工程（テープの張り替え工程）

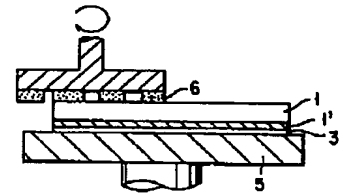
【図 2】



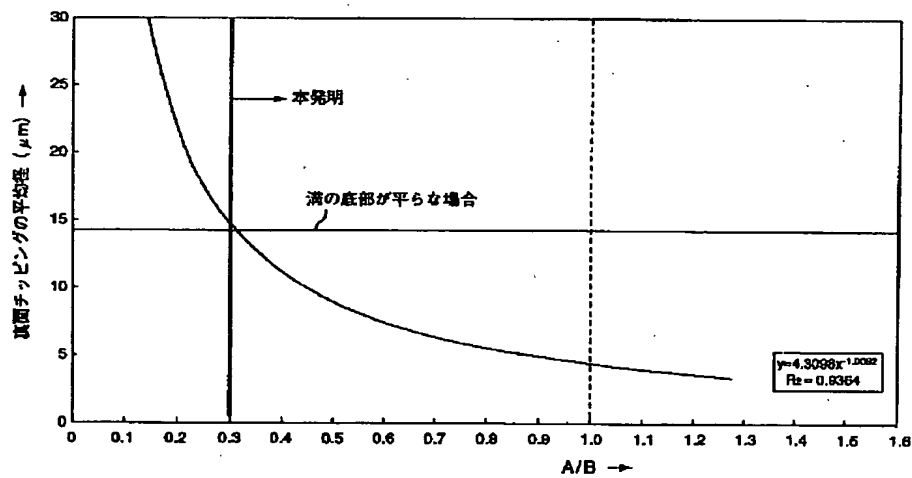
【図 3】



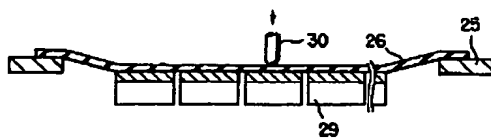
【図 2 3】



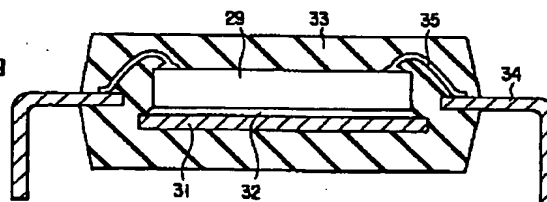
【図 5】



【図 6】



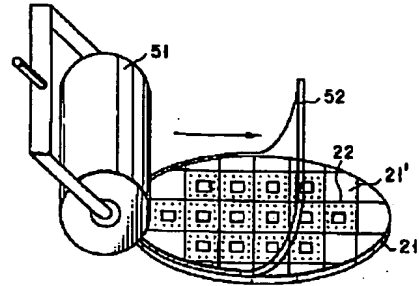
【図 8】



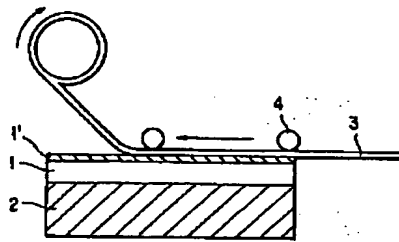
【図 9】



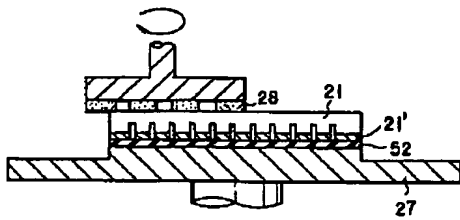
【図 10】



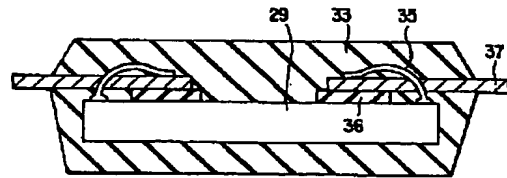
【図 22】



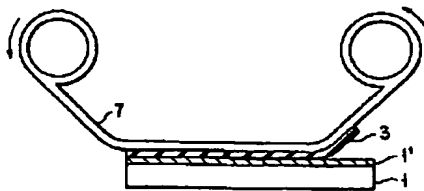
【図 11】



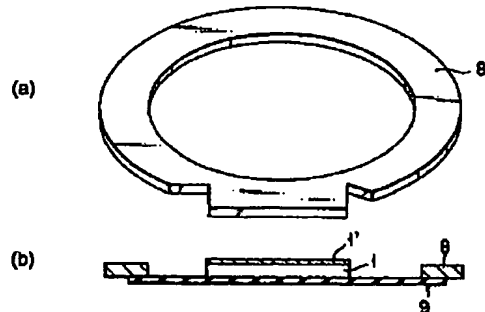
【図 13】



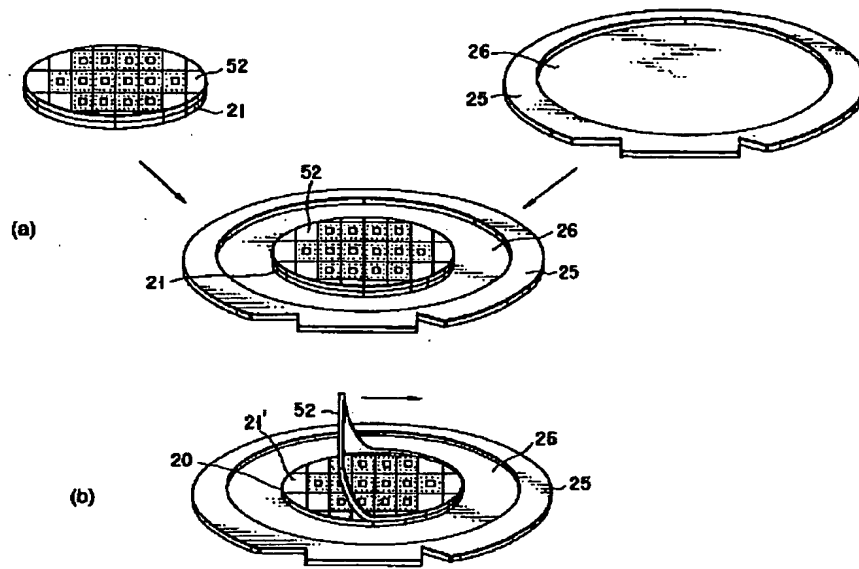
【図 24】



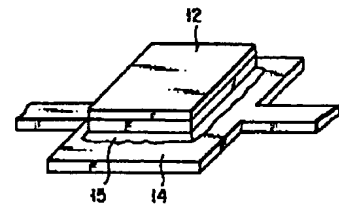
【図 25】



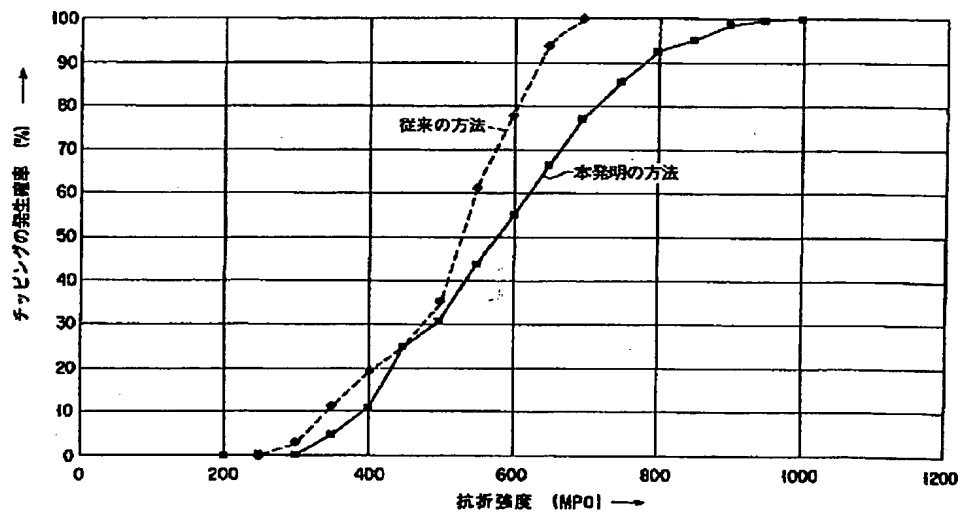
【図 12】



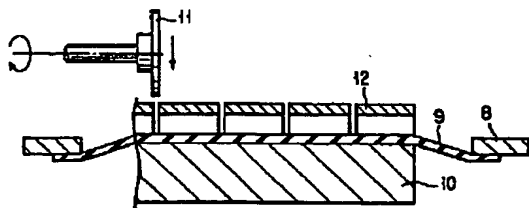
【図 28】



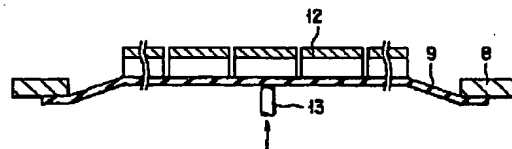
【図 14】



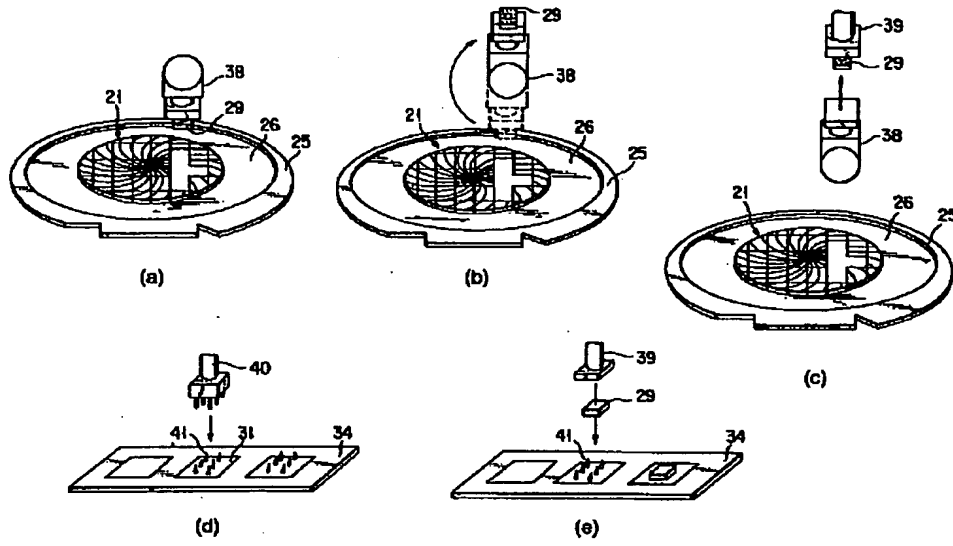
【図 26】



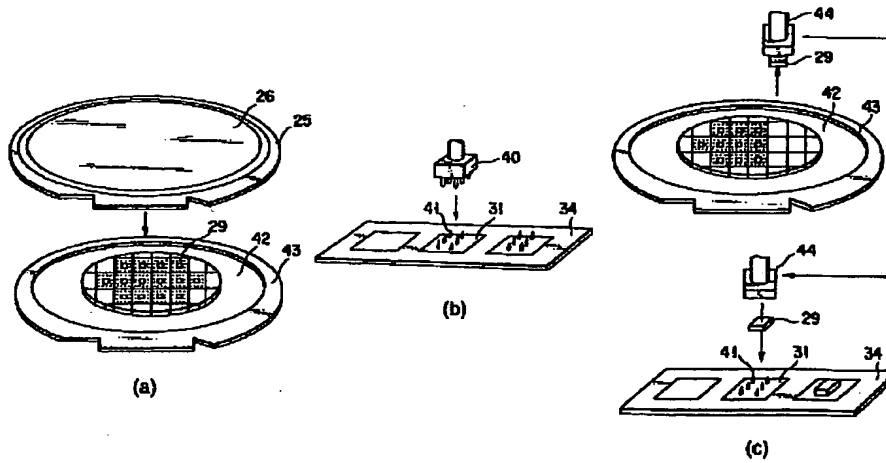
【図 27】



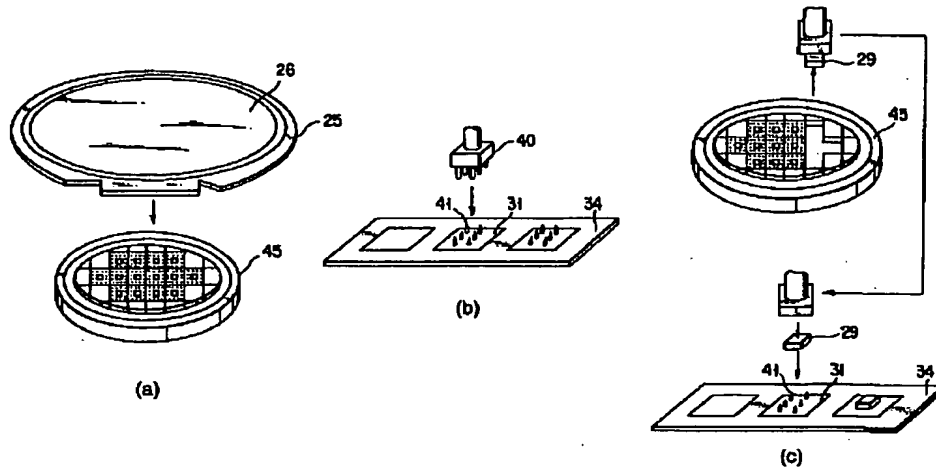
【図15】



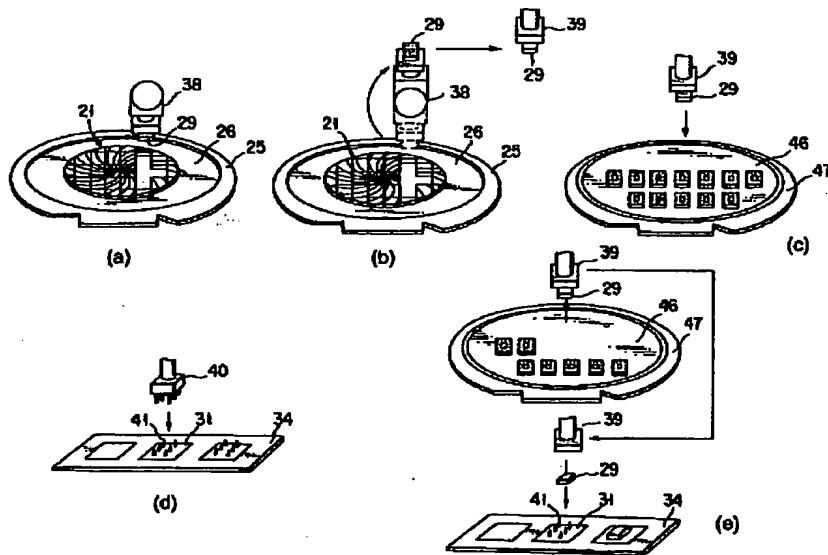
【図16】



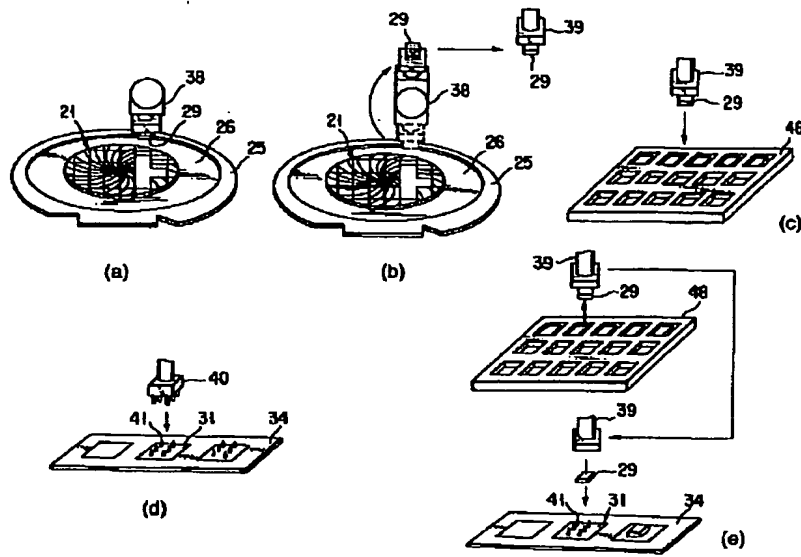
【図 17】



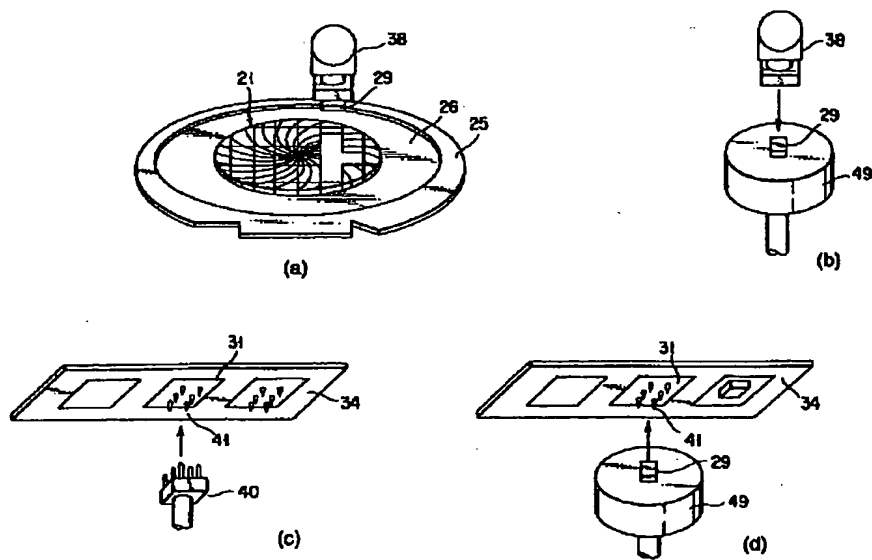
【図 18】



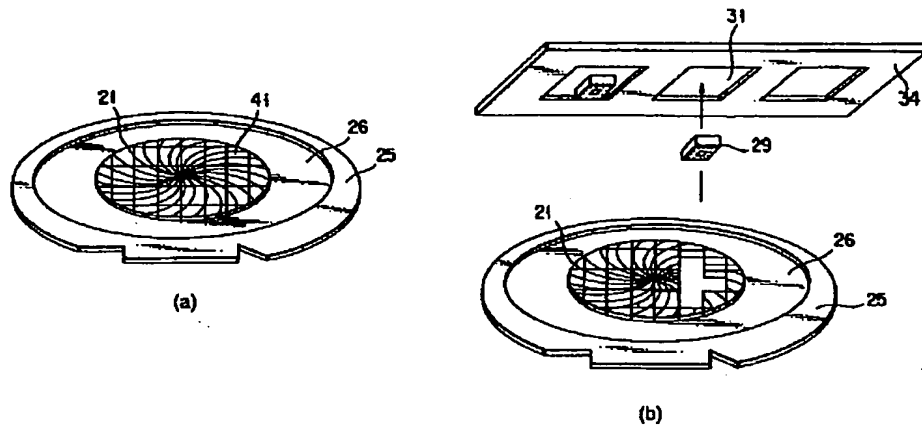
【図 19】



【図 20】



【図 21】



フロントページの続き

(72)発明者 矢嶋 興一
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 徳渕 圭介
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 佐々木 栄夫
東京都港区芝浦一丁目1番1号 株式会社
東芝本社事務所内